

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—186199

⑬ Int. Cl.³
G 11 C 17/00

識別記号
1 0 1

庁内整理番号
6549—5B

⑭ 公開 昭和59年(1984)10月22日

発明の数 2
審査請求 未請求

(全 4 頁)

⑮ 半導体メモリ

⑯ 特 願 昭58—61698

⑰ 出 願 昭58(1983)4月8日

⑱ 発 明 者 竹内隆

諏訪市大和3丁目3番5号株式

会社諏訪精工舎内

⑲ 出 願 人 株式会社諏訪精工舎

東京都中央区銀座4丁目3番4号

⑳ 代 理 人 弁理士 最上務

明 細 書

発明の名称

半 導 体 メ モ リ

特許請求の範囲

マトリクス状に配置されたMOSトランジスタからなるメモリセルと、前記メモリセルを選択するための行デコーダと列デコーダと、前記行デコーダの出力である行線と、前記メモリセルに接続される列線と、入出力回路、及び前記列線に接続される電圧センス回路からなる半導体メモリにおいて、少なくとも一つの前記列デコーダの信号により、前記メモリセルを構成するMOSトランジスタのソース電位を選択し、前記各列線をセンス接点とした多入力ゲート回路からなる電圧センス回路を特徴とする半導体メモリ。

発明の詳細な説明

本発明は半導体メモリにおける列線の選択回路と、その列線に接続される多入力ゲート回路から

なる電圧センス回路に関する。

第1図は従来の代表的な半導体メモリを示す概略図である。図において1はアドレス入力 AX_0 , AX_1 , $AX_2 \dots$ をデコードする行デコーダ, 2_0 , 2_1 , $2_2 \dots$ はこの行デコーダに接続される行線, $3n-0$, $3n-1 \dots$ ($n=0,1,2 \dots$) は列線, $4(n-x)y$ n , $x, y=0,1,2 \dots$ はMOSトランジスタよりなるメモリセル, $5n-0$, $5n-1 \dots$ ($n=0,1,2 \dots$) は列線選択用MOSトランジスタ, 6_0 , $6_1, \dots$ は列線選択用MOSトランジスタ, 7はアドレス入力 ay_0 , ay_1 , $ay_2 \dots$ をデコードする列デコーダ, 8はアドレス入力 AX_0 , AX_1 , $AX_2 \dots$ をデコードする列デコーダ, 9は電圧センス回路、10は列線及びセンス接点を充電するMOSトランジスタである。

上記第1図の半導体メモリの動作は、メモリアレイにおける列線及びセンス接点がMOSトランジスタ10によって充電される。そしてアレイの列線が選択されたメモリセルに結合されると、列線及びセンス接点の電荷がメモリセルの2進状態に

応じて放電する。するとセンス接点に結合されている電圧センス回路が列線の電位を検出し、メモリセルの2進状態を検出した信号を発生するものである。

上記のような従来の回路においては、列線選択用MOSトランジスタ6₀, 6₁...の数が大きくなった時、及び前記列線選択用MOSトランジスタのドレイン面積が大きくなった時、センス接点の容量が大きくなり、センス接点の充放電が遅くなり、データ読み出し時間が長くなるという欠点があった。

本発明はかかる欠点を除去したもので、少なくとも1つの列デコーダの信号により、メモリセルを構成するMOSトランジスタのソース電位を選択することにより行ない、さらに電圧センス回路を多入力ゲート回路にし、センス接点の容量を小さくし、読み出し時間を短かくすることにより、高速度動作を可能とした半導体メモリを提供しようとするものである。

第2図は本発明の一実施例である。本実施例は

-3-

に列線3_{n-0}, 3_{n-1}, 3_{n-2}に接続されるべき位置にあるメモリセルのすべてのNチャンネルMOSトランジスタ4_{n-xy}($n, x, y = 0, 1, 2 \dots$)に接続される。

まずメモリセルが列線に接続されている場合、NチャンネルMOSトランジスタ4₀₋₀₀が選択された時の動作を考える。行デコーダ1により行線2₀が選択されHレベルとなり、列デコーダ7により列線選択信号16₀が選択されHレベルとなり、列デコーダ8によりソース選択信号15₀がHレベルとなる。その結果列線選択用NチャンネルMOSトランジスタは5₀₋₀, 5₁₋₀...のみが、メモリセルNチャンネルMOSトランジスタは4_{n-m}(n, m は0, 1...のみが、ソース選択用NチャンネルMOSトランジスタは11₀のみが導通状態となり、メモリセル4₀₋₀₀以外のメモリセルが列線に接続されている、いないにかかわらず、センス接点17₀だけがソースと導通状態となり、第3図の波形図に示すようなプリチャージ信号13により、センス接点17₀, 17₁...列線15₀₋₀, 15₁₋₀...

-5-

第1図に対応しているの、対応する箇所には同一符号を用いる。第2図において11₀, 11₁...はソース線選択用NチャンネルMOSトランジスタ、12は多入力NAND回路からなる電圧センス回路、13は列線及びセンス接点を充電するPチャンネルMOSトランジスタ10₀, 10₁...を制御するプリチャージ信号14₀, 14₁...はソース線、15₀, 15₁...は列デコーダ8の出力、16₀, 16₁, 16₂...は列デコーダ7の出力、17₀, 17₁...はセンス接点、18は電圧センス回路12の出力である。列線3₀₋₀, 3₀₋₁, 3₀₋₂...は列線選択用NチャンネルMOSトランジスタを介してセンス接点17₀に接続される。他の列線3_{n-0}, 3_{n-1}, 3_{n-2}...も同様にセンス接点17_nに接続される。(n=1, 2, 3...)センス接点17₀, 17₁...は列線及びセンス接点を充電するPチャンネルMOSトランジスタ10₀, 10₁...に接続される。ソース線14₀, 14₁...は列デコーダ8の出力15₀, 15₁...をゲートとするソース線選択用NチャンネルMOSトランジスタ11₀, 11₁...のドレインに接続される。ソース線14_n

-4-

が充電される。センス接点17₀の電荷はNチャンネルMOSトランジスタ5₀₋₀, 4₀₋₀₀, 11₀を通して放電される。他のセンス接点17₁, 17₂...はHレベルの状態のままであり、電圧センス回路12の出力はHレベルとなる。

次にメモリセルが列線に接続されていない場合、メモリセル4₀₋₀₁が選択された時を考える。行デコーダ1により行線2₁が選択されHレベルとなり、列デコーダ7により列線選択信号16₀が選択されHレベルとなり、列デコーダ8によりソース選択信号15₀がHレベルとなる。その結果列線選択用NチャンネルMOSトランジスタは5₀₋₀, 5₁₋₀...のみが、メモリセルNチャンネルMOSトランジスタは4_{n-m}(n, m は0, 1...のみが、ソース選択用NチャンネルMOSトランジスタは11₀のみが導通状態となるが、メモリセル4₀₋₀₁以外のメモリセルが列線に接続されている、いないにかかわらず、センス接点17₀, 17₁...はソースと非導通状態となり、プリチャージ信号13によって充電されたセンス接点の電荷は保持され、

-6-

Hレベル状態のままであり、電圧センス回路12の出力はLレベルとなる。

第4図は本実施例の読み出し時間短縮の効果の説明するための図であり、19はセンス接点における静電容量、20は列線における静電容量である。本実施例の場合のような同期型の半導体メモリでは、第3図の波形図の17.のような読み出し波形となる、a区間では静電容量19が急速に放電され、センス接点は第4図の回路によって決まるある電圧まで下がり、b区間では静電容量19、20がゆっくりと放電される。電圧センス回路のセンス電圧をa区間に設定してやると、読み出し時間は静電容量19のみによって決まる。

なお上記実施例は、メモリセルが選択されてから列線及びセンス接点を充電する同期型半導体メモリで本実施例のような同期型半導体メモリにおいては、列線を充電する能力は列線選択用MOSトランジスタ $5n-0, 5n-1 \dots (n=0, 1, 2 \dots)$ のトランジスタサイズによって決まるため、本実施例のようにセンス接点と列線の間のMOS

-7-

選択用MOSトランジスタを2段、3段 \dots 、ソース選択用MOSトランジスタを2段、3段とした半導体メモリを用いてもよい。また列線及びセンス接点を充電するMOSトランジスタ $10_0, 10_1 \dots$ にPチャネル型を用いたが、Nチャネル型を用いてもよく、その時プリチャージ信号13は反転した信号を用いる。

以上説明した如く本発明によれば、少なくとも1つの列デコーダの信号により、メモリセルを構成するMOSトランジスタのソース電位を選択し、電圧センス回路を多入力ゲート回路にすることにより、データ読み出し時間が迅速化され、高速動作が可能な半導体メモリが得られることになる。

図面の簡単な説明

第1図は半導体メモリの概略的回路図、第2図は本発明の一実施例の回路図、第3図は上記実施例の動作を説明するためのタイミング図、第4図は上記実施例による効果を説明するための回路図である。

-9-

トランジスタの直列段数を減らしたことにより、列線選択用MOSトランジスタのトランジスタサイズを $\frac{1}{2}$ にし、ドレイン面積を $\frac{1}{2}$ にすることによりセンス接点の容量を $\frac{1}{2}$ にすることができた。さらに本実施例では、列線選択用MOSトランジスタ $5_0-1, 5_0-2 \dots 5_0-n$ の数 n とソース線選択用MOSトランジスタ $11_0, 11_1 \dots 11_m$ の数 m では $n < m$ であり、センス接点における列線選択用MOSトランジスタのドレイン面積を n/m にし、センス接点の容量を n/m にすることができ、読み出し時間を短くすることができる。

なお上記実施例は、メモリセルが選択されてから、列線及びセンス接点を充電する同期型半導体メモリであるが、列線及びセンス接点を充電してからメモリセルを選択する同期型半導体メモリを用いてもよい。またプリチャージ信号13をLレベルとした非同期型半導体メモリを用いてもよい。また本実施例では列デコーダ7、8を用いたが、列デコーダ8だけで、センス接点と列線が直接接続された半導体メモリを用いてもよい。また列線

-8-

1 \dots 行デコーダ 2 $_0, 2_1 \dots$ 行線 3 $n-0, 3n-1 \dots (n=1, 2 \dots)$ 列線, 4 $n-xy (n, x, y=1, 2 \dots)$ MOSトランジスタ(メモリセル), 5 $n-0, 5n-1 (n=1, 2 \dots)$ 列線選択用MOSトランジスタ, 6 $_0, 6_1 \dots$ 列線選択用MOSトランジスタ, 7 \dots 列デコーダ, 8 \dots 列デコーダ, 9 \dots 電圧センス回路, 10 \dots プリチャージ用MOSトランジスタ, 11 $_0, 11_1 \dots$ ソース線選択用MOSトランジスタ, 12 \dots 多入力NAND回路からなる電圧センス回路, 13 \dots プリチャージ信号, 14 $_0, 14_1 \dots$ ソース線, 15 $_0, 15_1 \dots$ ソース線選択用信号, 16 $_0, 16_1 \dots$ 列線選択用信号, 17 $_0, 17_1 \dots$ センス接点, 18 \dots 電圧センス回路の出力。

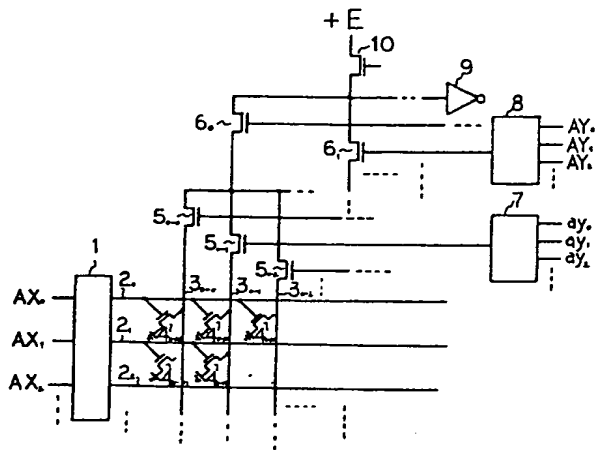
以上

出願人 株式会社諏訪精工舎

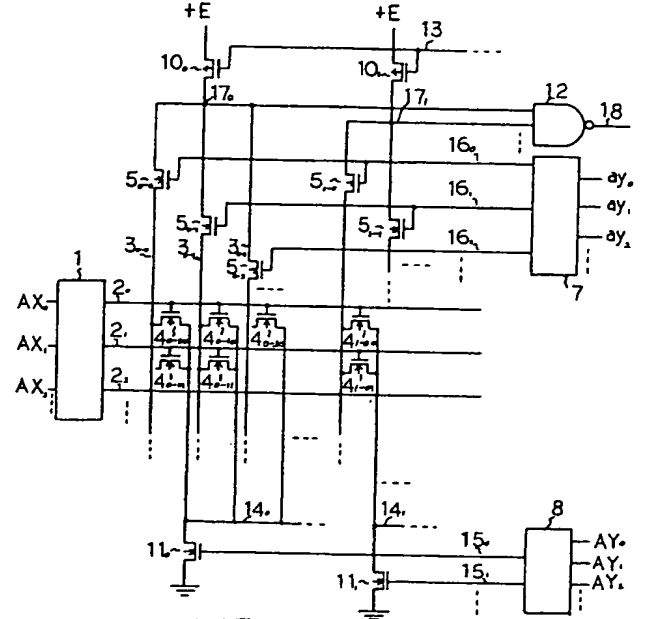
代理人 弁理士 最上



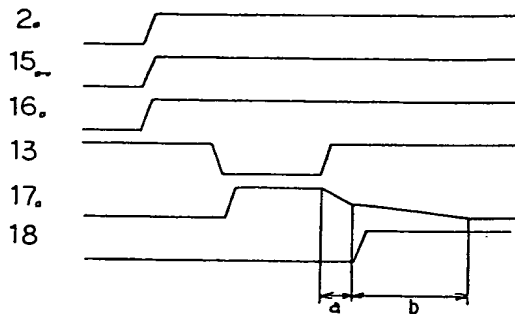
第1図



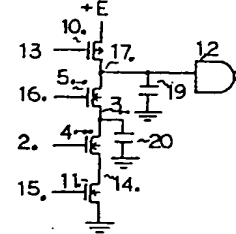
第2図



第3図



第4図



*Entgegenhaltung 2***SEMICONDUCTOR MEMORY**

Patent Number: JP59186199
Publication date: 1984-10-22
Inventor(s): TAKEUCHI TAKASHI
Applicant(s): SUWA SEIKOSHA KK
Requested Patent: ☐ JP59186199
Application: JP19830061698
Priority Number(s):
IPC Classification: G11C17/00
EC Classification:
Equivalents:

Abstract

PURPOSE: To attain high speed operation by selecting a source potential of a memory cell with a column decoder signal and also forming a voltage sense circuit by means of a multi-input gate circuit so as to decrease the capacity of a sense contact.

CONSTITUTION: When a transistor (TR)40-00 or the like in TRs 4n-xy of a memory cell of matrix arrangement is selected, a source potential of the TR40-00 is selected via a corresponding column line 140 by a TR 110 or the like for selecting source line to be turned on via a column decoder after precharge. Then, a read voltage of a corresponding sense contact 170 is read by a voltage sense circuit formed by a multi-input NAND circuit. Thus, the capacity of contacts 170, 171- is decided by TRs 50-00 for selecting the corresponding column line and becomes a small capacity, allowing to attain high speed read.

Data supplied from the esp@cenet database - I2

DOCKET NO: GR 95 P 2133 Re

SERIAL NO: 09/283,183

APPLICANT: Sedlak

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100